

使用 Vitis / Vivado 實作 FPGA Verilog HDL

數位邏輯電路設計與周邊控制實戰

從最實際實戰的 Verilog HDL 語法完整講解，讓你真正有能力設計數位邏輯電路！

❖ 課程簡介：

在 FPGA 數位電路設計超大型積體電路設計(VLSI)或系統晶片(SOC)設計上均扮演著非常重要的角色，是軟硬體工程師在職場上必備的工具。工業 4.0(生產力 4.0)應用以機器手臂為重要抓手的“工業 4.0”戰略，會加速智慧製造的進程。未來物聯網與工業 4.0 是大勢所趨，而高性能電機控制是實現工業 4.0 的關鍵應用。使用 FPGA/Verilog 可充分滿足當今磁場定向控制 (FOC) 等複雜控制演算法所提出的苛刻的時序和性能要求。本單位精心規劃「FPGA/Verilog HDL 實作實戰班」學程，課程進行搭配 FPGA 實驗板，將會先詳細講述 FPGA/Verilog HDL 語法，再以主題實驗的方式進行實戰教學，並結合【IP-Core 設計應用】以加速產品開發速度。

綜觀目前國內有關的 FPGA 課程，均未完整解說 Verilog HDL 語法及其對應之數位邏輯電路之呈現。導致上完課程後，還是無法與業界銜接。為解決此現象，課程內容針對 FPGA/Verilog HDL 語法與應用，採深入淺出講解並輔以 LAB 實戰，上完整課程後能熟悉 Verilog 語言全貌，帶領大家進入以 Verilog 為主的各種相關設計領域，因此非常適合各層次的設計者參考使用。

❖ 課程特色：

- (1) 講述 FPGA/Verilog HDL 語法，再以主題實驗的方式進行實戰教學。
- (2) 本課程之 Verilog HDL 設計實戰內容適用於 Xilinx 與 Altera FPGA/CPLD。
- (3) 講師分別將實作之 Verilog HDL 實際執行於 Xilinx PYNQ 之 FPGA。

❖ 課程目標：

- (1) 目前業界 FPGA/CPLD 的主流廠家即為 Xilinx，有關相關 TOOL 操作，廠商與相關代理商都會提供良好的訓練。本課程的進行，則是設計語法與實作並重，透過範例與各種介面專題之設計，讓學員在以 Verilog 為主的各種相關設計領域中，熟悉 Verilog 語言全貌，大大提升學員的數位設計與 IC 設計能力。
- (2) 由講師實際講解 Verilog Coding 的實用密技技巧之心法，讓學員心中有數位邏輯電路，手中可寫出對應 Verilog 程式代碼。
- (3) 帶領學員以數位邏輯電路之思維方式，熟知 Verilog 程式不再是一行行的代碼，而是一塊一塊的硬體模組，進而在 FPGA 處理速度與面積間，獲得最佳效果。

❖ 培訓證書：研習期滿，出席率超過 80%(含)以上，即可獲得工研院頒發的培訓證書。

❖ 適合對象：

- (1) 想從事 CPLD、FPGA 研發工作者
- (2) 資訊、資工、資管、電子、電機等相關科系畢業生
- (3) 熟悉邏輯設計以計算機組織者佳。

❖ 課程內容：

日期	課程大綱
7/4 (六)	(1) FPGA 工具介紹、安裝與使用及如何使用電路模擬：介紹 Xilinx 之 FPGA/CPLD 開發工具 Vitis/Vivado。 (2) 階層模組觀念(Hierarchical Modeling Concepts)設計方法 (3) Verilog HDL 語法協定(Lexical conventions): 資料型態(data types)、記憶體(Memories)、系統任務(system tasks)、編譯命令(compiler directives)。 (4) Verilog HDL 模組與輸出入埠(Modules and Ports): 模組(Module definition), 輸出入埠(port declaration, connecting ports)、階層化取名(hierarchical name referencing)
7/11 (六)	(1) 邏輯合成(Logic Synthesis)、邏輯閘層次模型(Gate-Level Modeling) (2) Verilog HDL 資料處理模型(Dataflow Modeling):持續指定(Continuous assignments), 延遲(delay specification), 運算式(expressions), 運算子(operators), 運算元(operands), 運算子種類(operator types) (3) Verilog HDL 行為模型(Behavioral Modeling):結構化程序(Structured procedures), initial 及 always 敘述, 程序指定(阻礙指定 blocking 及無阻礙指定 nonblocking statements), 時序控制(delay control, event control), 條件敘述(conditional statements), 多路徑分支(multiway branching), 迴圈(loops), 循序與平行區塊(sequential and parallel blocks).
7/18 (六)	(1) Verilog HDL 任務(Tasks)與函數(Functions)：函數(Functions), 任務(Tasks), Assignment (2) 演算法狀態機(Algorithmic State Machine)、有限狀態機(Finite State Machine): Moore FSM、Mealy FSM and Modeling (3) Verilog HDL 時序及遲延(Timing and Delays)、Verilog HDL 時序仿真(Timing Simulation)
7/25 (六)	(1) Verilog generate/endgenerate statement(genvar、localparam、generate if、generate for、generate case) (2) Verilog HDL 有用之程式技巧(Useful Modeling Techniques):程序持續指定(assign 與 deassign 及 force 與 release)· 參數(parameter) and 複寫參數(defparam, module instance)· 條件式的編譯與執行· 時間刻度(Time Scales) · 有用的系統任務: File (\$fopen,\$fdisplay,...)、隨機亂數產生器(Random Number Generation)、VCD File (3) FPGA 晶片內建記憶體(In-System Memory)、Memory Synchronous/Asynchronous Read/Write· Synchronous FIFO and Asynchronous FIFO
8/1 (六)	(1) 【IP-Core 設計應用】: Verilog IP-Core(Intellectual Property Core)<<for Xilinx>> ● 添加設計和發布 IP-Core (Adding design and publish IP-Core) ● 如何添加 Altera 的 IP-Core (How to adding Xilinx's IP-Core: such as General-purpose input/output, PLL, Timer, RAM, ROM, UART, I2C, SPI...) ● 移植 OpenCores (Porting OpenCores: Lab UART IP) (2) 設計除錯(Design Debugging): SignalTap II、SignalProbe、TimeQuest Timing Analyzer
LAB 實 戰	➤ 基礎 LAB：Verilog 循序電路設計:正反器、暫存器(Flip-Flop)、LED 或七段顯示器(一位數與多位數七段顯示器)、按鍵控制電路、計時器(Timer)/毫秒、計數器(Counter)電路實驗、Finite State Machine:比大小遊戲電路實驗、紅綠燈控制電路實驗 ➤ 進階 LAB：Simple 4 bit ALU implementation、PLL 電路實驗、LCD1602 實驗、RS-232 通訊(UART)控制電路實驗、I2C/SPI 系統電路實驗(24C08 讀寫 LAB)、PWM 控制電路實驗(Servo Controller)、VGA 控制電路實驗

※ 因不可預測之突發因素，主辦單位得保留課程之變更權利。

❖ 講師簡介：江老師

學 歷：中正大學資訊工程所博士班研究、逢甲大學資訊工程研究所畢

專 長：嵌入式系統開發、智慧型嵌入式家庭自動化系統設計、8051 單晶片、多套自動化系統及驅動程式 Driver、WEB-ERP 系統、ERP 系統、生產線自動化系統。

作 品： 1.嵌入式系統開發板(ARMax-701、S3C2410、ARM-PXA270、W90N745)

- ARMax-701 核心模組用於 Precision Tuner...等之通訊系列產品
- ARM-PXA270 模組用於 Home Automation 智慧型家庭自動化
- W90N745 模組用於語音傳輸系統

2.智慧型嵌入式家庭自動化系統

3.8051 單晶片於工業機台之自動化系統

4.多套自動化系統(群錄自動化)及驅動程式 Driver

5.WEB-ERP 系統、多套 ERP 系統

6.華映公司生產線自動化系統

7.手機遊戲程式(象棋、打磚塊)

8.國內第一套網路中文傳呼系統

【課程辦理資訊】

❖ **攜帶物品：**請與會學員自行攜帶筆記型電腦，以利進行課程教學，筆記型電腦建議使用 Windows 7 以上、Mac 2011 或更高階的作業軟體。筆記型電腦規格 CPU I5 或同等級以上、硬碟需求容量 256G(含)以上、RAM 8G(含)以上、具 Wifi 或網路連網功能。

❖ **上課時間：**109 年 7 月 4 日、7 月 11 日、7 月 18 日、7 月 25 日、8 月 1 日，09：00-17：00，每天 7 小時，5 天共 35 小時。

❖ **上課地點：**工研院產業學院 產業人才訓練一部(台北)。 實際地點依上課通知為準!

❖ **報名方式：**線上報名 <http://college.itri.org.tw>。

❖ **課程聯絡人：**(02)2370-1111 分機 316 李小姐、309 徐小姐。

❖ **課程費用：**

加入工研院產業學院會員可以保存您的學習紀錄、查詢及檢視您自己的學習歷程，未來有相關課程，可優先獲得通知及更多優惠！

方案	原價	早鳥優惠價 開課前 10 天報名且繳費	二人(含)以上 團報優惠
費用	28,000/人	24,500/人	22,000/人

報名表

FAXTO : (02)2381-1000 李小姐收

使用 Vitis / Vivado 實作 FPGA Verilog HDL 數位邏輯電路設計與周邊控制實戰

公司全銜		統一編號		
發票地址		傳 真		
參加者姓名	部 門	電 話	手 機	E-mail
		()		
		()		
		()		
		()		
聯絡人		()		

- 信用卡 (線上報名) : 繳費方式選「信用卡」, 直到顯示「您已完成報名手續」為止, 才確實完成繳費。
- ATM 轉帳 (線上報名) : 繳費方式選擇「ATM 轉帳」者, 系統將給您一組轉帳帳號「銀行代號、轉帳帳號」, 但此帳號只提供本課程轉帳使用, 各別學員轉帳請使用不同轉帳帳號!! 轉帳後, 寫上您的「公司全銜、課程名稱、姓名、聯絡電話」與「收據」回傳。
- 銀行匯款(公司逕行電匯付款): 土地銀行 工研院分行, 帳號 156-005-00002-5(土銀代碼: 005)。戶名「財團法人工業技術研究院」, 請填具「報名表」與「收據」回傳。
- 即期支票: 抬頭「財團法人工業技術研究院」, 郵寄至: 100 台北市中正區館前路 65 號 7 樓 704 室, 李小姐收。
- 計畫代號扣款(工研院同仁): 工研院員工報名請網路點選「工研人報名」填寫計畫代號後, 經主管簽核同意即可。

- 1、請註明服務機關之完整抬頭, 以利開立收據; 未註明者, 一律開立個人抬頭, 恕不接受更換發票之要求。
- 2、若報名者不克參加者, 可指派其他人參加, 並於開課前一日通知。
- 3、如需取消報名, 請於開課前三日以書面傳真至主辦單位並電話確認申請退費事宜。逾期將郵寄講義, 恕不退費。